

Docket No.: 60188-632

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
:   
Wataru ITOH, et al. : Confirmation Number:  
:   
Serial No.: : Group Art Unit:  
:   
Filed: August 11, 2003 : Examiner:  
:   
For: ASSEMBLY FOR LSI TEST AND METHOD FOR THE TEST

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-034858, filed February 13, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: August 11, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

60188-632  
Itoh et al.  
August 11, 2003

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月13日

出 願 番 号

Application Number:

特願2003-034858

[ ST.10/C ]:

[ JP2003-034858 ]

出 願 人

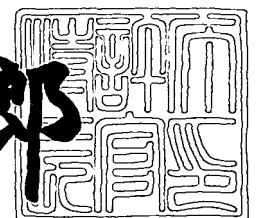
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030853

【書類名】 特許願

【整理番号】 5037540157

【提出日】 平成15年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 伊藤 亘

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 金光 朋彦

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 山下 武

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 渡辺 昭彦

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100097445

    【弁理士】

    【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【先の出願に基づく優先権主張】

【出願番号】 特願2002- 36507

【出願日】 平成14年 2月14日

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 L S I 検査装置及び検査手法

【特許請求の範囲】

【請求項 1】 予め定めた様式の試験信号パターンを検査対象LSIに供給し、  
前記検査対象LSIが前記試験信号パターンの供給に応答して出力した試験結果  
信号を測定することにより、

前記検査対象LSIの動作を試験するLSIテストを用いたLSI検査において、  
前記LSIテストと前記検査対象LSIとのインターフェースをとるロードボード上  
に、

前記検査対象LSIにユーザが実際に使用する実セット上での動作と同じかまた  
は同等の動作を可能とさせる良品であることが既知の周辺回路を備えたことを特  
徴とするLSI検査装置。

【請求項 2】 前記ロードボードは、  
前記検査対象LSIと前記周辺回路を備えた 1 つあるいは複数の第 1 のボードと  
、  
前記第 1 のボードとは別に、  
前記LSIテストの入出力チャネルとインターフェースをとる第 2 のボードから  
構成され、

前記第 1 のボードと前記第 2 のボード間が結線されたことを特徴とする請求項  
1 記載のLSI検査装置。

【請求項 3】 前記LSIテストから供給される前記試験信号パターンは、  
前記検査対象LSIまたは前記周辺回路へ供給されることを特徴とする請求項 1  
または 2 記載のLSI検査手法。

【請求項 4】 前記検査対象LSIから出力される前記試験結果信号は、  
前記検査対象LSIから直接あるいは前記周辺部品を介して、  
前記LSIテストへ読み出されることを特徴とする請求項 1 から 3 記載のLSI検査  
手法。

【請求項 5】 前記検査対象LSIまたは前記周辺部品に、実動作時の基準クロ  
ックに対し非同期にアクセスできるメモリが存在することを特徴とする請求項 1

から 4 記載の LSI 検査装置。

【請求項 6】 前記 LSI テスタから供給される前記試験信号パターンは、  
前記メモリを介して、  
前記検査対象 LSI へ供給されることを特徴とする請求項 5 記載の LSI 検査手法。

【請求項 7】 前記検査対象 LSI から出力される前記試験結果信号は、  
前記メモリを介して、  
前記 L S I テスタへ読み出されることを特徴とする請求項 5 または 6 記載の L S I 検査手法。

【請求項 8】 予め定めた様式の試験信号パターンを検査対象 LSI に供給し、  
前記検査対象 LSI が前記試験信号パターンの供給に応答して出力した試験結果信号を測定することにより、前記検査対象 LSI の動作を試験する LSI テスタを用いた LSI 検査において、前記 LSI テスタと前記検査対象 LSI とのインターフェースをとるロードボード上に、前記試験結果信号を取り込んでデータ圧縮または結果判定を行う装置を備えたことを特徴とする LSI 検査装置。

【請求項 9】 ロードボード上の前記試験結果に対し、イネーブル制御を行うことにより、必要な試験結果データのみを取り込むイネーブル制御回路を前記検査対象 LSI の内部か外部に設けたことを特徴とする LSI 検査装置。

【請求項 1 0】 前記試験信号パターンおよび前記試験結果信号は、  
前記検査対象 LSI の動作が記述されたシミュレーションモデルを用いてシミュレーションにより生成するのではなく、  
前記検査対象 LSI または前記検査対象 LSI と同じ構成を持った LSI 実物を用いて

前記検査対象 LSI にユーザが実際に使用する実セット上での動作と同じかまたは同等の動作を可能とさせる周辺回路を備えた実セット評価装置を用いて生成することを特徴とした請求項 1 から 7 記載の LSI 検査手法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は LSI の検査装置及び検査手法に関する。

【 0 0 0 2 】

【従来の技術】

従来LSIを検査する際、LSIテストを用いてLSI単体もしくは検査を補助する簡単な部品と組合せて検査していた。ここで言う簡単な部品とは、リレー、抵抗、コンデンサ、フィルタ等の受動素子である。

【 0 0 0 3 】

従来の検査手法での構成を図9に示す。ロードボード801上には検査対象LSI101、リレー802、コンデンサ803、フィルタ804、抵抗805が配置されている。検査対象LSI101はロードボード801を介してLSIテスト102と接続されている。リレー802は検査対象LSI101とLSIテスト102の接続切替え用として、コンデンサ803、フィルタ804、抵抗805は試験時の信号の特性変換や、電源を安定化させる目的に用いる。

【 0 0 0 4 】

このように構成されたロードボード801を用いて、LSIテスト102から予め定めた様式の試験信号パターンを検査対象LSI101に供給し、検査対象LSI101が試験信号パターンの供給に応答して出力した試験結果信号を測定することにより、検査対象LSI101の実動作試験をしていた。

【 0 0 0 5 】

また、非同期な出力インターフェースをテストする場合、その非同期な出力インターフェースを個別に動作させて検査を実施していた。

【 0 0 0 6 】

なお、この出願の発明に関する先行技術文献情報としては、例えば、特許文献1が知られている。

【 0 0 0 7 】

【特許文献1】

特開平7-128405号公報

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら上述した従来技術によれば、一般的に用いられるLSIテストでの

機能試験は、複数の整数倍の関係にない周波数を同時に入力することはできないため、単純なLSIに対しては、実動作機能テストが可能であるが、高速、非同期、多クロックという特徴をもつシステムLSIに対しては、従来手法での実動作機能テストが困難となり十分に検査できなくなり検査品質低下を招き十分な保証品質が実現できなかった。システムLSIの実動作機能テストを実現しようとするれば、高速で高機能なLSIテストが必要となり、検査コストが上昇するという問題があった。

## 【 0 0 0 9 】

またSEMIテクノロジーシンポジウム2001講演予稿集P.5-81～5-88にも上記と同様な問題点が指摘されている。内容を一部抜粋すると、SCANを前提としたテストは製造不良の除去を目的とした構造的試験として効果的であるが、LSI自身の本来の機能回路構成が複雑化することでSCANではテストできない実動作でのクリティカルパスが増加する。実際よく知られているように、SCAN等構造的テストと実動作機能テストでの不良検出で差が出ることはよく起こる。したがって、実動作機能テストは必須であるが、上述したように高速で高機能なLSIテストが必要となり、検査コストが上昇するという問題があった。

## 【 0 0 1 0 】

本発明は、上記問題点に鑑みてなされたものであり、低検査コストで実動作機能テストを実現できる高い検査保証レベルを持ったLSI検査装置および検査手法を提供することを目的とする。

## 【 0 0 1 1 】

## 【課題を解決するための手段】

本発明のLSI検査装置および検査手法では、予め定めた様式の試験信号パターンを検査対象LSIに供給し、検査対象LSIが前記試験信号パターンの供給に応答して出力した試験結果信号を測定することにより、検査対象LSIの動作を試験する一般的な汎用LSIテストを用いたLSI検査において、LSIテストと検査対象LSIとのインターフェースをとるロードボード上に、検査対象LSIにユーザが実際に使用する実セット上での動作と同じかまたは同等の動作を可能とさせる良品であることが既知の周辺回路を備えることにより実動作機能テストを行う。これにより、



検査対象LSI は試験信号としてテストデータと同期信号やリセット信号等の簡単な制御信号のみで実動作が可能となり、前述した一般的なLSIテストで実動作試験が可能となる。したがって検査コスト上昇を最小限に抑えて、検査品質を向上させることができる。

## 【 0 0 1 2 】

## 【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態を説明する。

## 【 0 0 1 3 】

## (実施の形態 1)

図 1 に本発明のLSI検査装置の構成を示す。検査対象LSI 1 0 1 は、ロードボード 1 0 3 上でユーザの実使用状態と同じように外部メモリ 1 0 4、周辺LSI 1 0 5、及び試験結果を取り込む試験結果取り込み回路 1 0 9 と接続されている。クロック発生器A 1 0 6、クロック発生器B 1 0 7、クロック発生器C 1 0 8 も同様にユーザの実使用状態と同じように接続されている。本実施の形態ではクロック発生器の出力は全て検査対象LSI 1 0 1 に供給され、外部メモリ 1 0 4、周辺LSI 1 0 5 及び試験結果取り込み回路 1 0 9 へのクロックは検査対象LSI 1 0 1 から供給していることとする。クロック発生器A 1 0 6 から供給されるクロックAは、検査対象LSI 1 0 1、外部メモリ 1 0 4 及び周辺LSI 1 0 5 に使われるデータ処理の基準クロックとして使用される。クロック発生器B 1 0 7 から供給されるクロックBは、検査対象LSI 1 0 1 が信号を取り込むためのクロックとして使用される。クロック発生器C 1 0 8 から供給されるクロックは、検査対象LSI 1 0 1 が信号を出力するためのクロックとして使用される。以上の実使用動作のための配線以外に、検査時にLSIテスト 1 0 2 とインターフェースする信号線もロードボード 1 0 3 上に配線されている。また、検査対象LSI 1 0 1、外部メモリ 1 0 4、周辺LSI 1 0 5、クロック発生器 1 0 6 ~ 1 0 8 及び試験結果取り込み回路 1 0 9 の電源はLSIテスト 1 0 2 から供給されている。なおロードボード 1 0 3 の構成はユーザの実使用と同じであれば、本実施の形態と異なる場合も当然本発明の請求範囲内である。なおロードボード 1 0 3 上の部品は、検査対象LSI 1 0 1 以外あらかじめ良品である。

## 【 0 0 1 4 】

次に検査時のデータフローを、図 2 を使って説明する。LSI テスタ 1 0 2 から実線で示す試験信号 2 0 1 が検査対象 LSI 1 0 1 へ入力され、破線で示すフローで実使用動作と同様に検査対象 LSI 1 0 1、外部メモリ 1 0 4、周辺 LSI 1 0 5 で処理される。その後試験結果信号 2 0 3 として LSI テスタ 1 0 2 に取り込まれ、期待値比較による良否判定が行われる。なおデータフローは実使用と同じであれば、本実施の形態と異なる場合も当然本発明の請求範囲内である。

## 【 0 0 1 5 】

また、出力インターフェースのテストをする場合は試験信号 2 0 4 が試験結果取り込み回路 1 0 9 に出力されて、その結果を LSI テスタ 1 0 2 で期待値比較による良否判定が行われる。1 0 9 に圧縮回路が含まれる構成の場合、内部圧縮回路により出力結果を圧縮し、その圧縮結果を LSI テスタ 1 0 2 で期待値比較による良否判定を行う。さらに 1 0 9 に比較判定を実施できる機能を有する場合は、1 0 9 で比較判定を行い、良否の結果のみを LSI テスタ 1 0 2 に出力する。

## 【 0 0 1 6 】

次に検査フローを、図 3 のフローチャートを使って説明する。まず検査対象 LSI 1 0 1、外部メモリ 1 0 4、周辺 LSI 1 0 5、クロック発生器 1 0 6 ~ 1 0 8、試験結果取り込み回路 1 0 9 の電源を立ち上げる。すると、クロック発生器 1 0 6 ~ 1 0 8 からクロック A, B, C がそれぞれ検査対象 LSI 1 0 1 へ供給開始される。次にそれらのクロックとは非同期にリセットをかけ、検査対象 LSI 1 0 1 は実使用動作可能な状態となる。その状態で LSI テスタ 1 0 2 から試験信号 2 0 1 を供給するが、クロック B と同期する必要がある。そこで、LSI テスタ 1 0 2 ではクロック B を取り込んで同期を取る。この時、一般的な LSI テスタに備わっているエッジサーチ機能やマッチ機能を使用して同期をとる。その同期を取ったタイミングで検査対象 LSI 1 0 1 へ試験信号 2 0 1 の入力を開始し、ロードボード 1 0 3 上で実使用動作が行われる。実動作はクロック A と同期して行われる。実使用動作によって得られた試験結果信号 2 0 3 を LSI テスタ 1 0 2 で取り込む場合、クロック C に同期して取り込む必要がある。試験信号入力時と同様に、クロック C を取り込んでクロック C と同期を取る処理を行い、試験結果信号 2 0 3 を取り込む。

最後にLSIテスト102にて試験結果信号203と期待値とを比較し、検査対象LSI101の良否判定を行う。出力インターフェースの試験結果を別途検査する場合は、試験信号204の出力を行い、図6に示すように、試験結果取り込み回路109に結果出力を行い、その取り込んだ結果の有効なデータのみをイネーブル制御回路110で取り込み、取り込んだ有効なデータを圧縮回路111で圧縮する。

## 【0017】

圧縮されたデータは期待値メモリ113に格納されたデータと判定回路112により一致判定させ、その判定結果のみをテスト102に出力し検査対象LSI101の良否判定を行う。

## 【0018】

また検査対象LSI101と外部メモリ104及び周辺LSI105とのインターフェースが非常に高速な場合も考えられるが、以上述べた実施の形態と全く同様に実使用動作テストができる。それは、上記インターフェースがLSIテスト102の入出力と独立しており、LSIテスト102が高速テストである必要がないためである。

## 【0019】

以上のように一般的なLSIテストと、検査対象LSI101にユーザの実使用と同等動作を可能とさせる外部メモリ104や周辺LSI105といった周辺回路のみで、非同期・多クロック・高速システムLSIの実動作テストを実現できる。したがって低検査コストで検査品質の大幅な向上が実現できる。

## 【0020】

なお、本実施の形態ではLSIテスト102の入出力時にクロックと同期を取る処理を行っているが、検査対象LSIの仕様によっては全く同期を必要としない場合も考えられる。その場合、上記検査フローの同期処理を取り除くだけで実動作テストは可能とすることができる。

## 【0021】

(実施の形態2)

実施の形態1に挙げた例の場合、確かに低コストでの実動作テストが可能とな

るが、1枚のロードボードでの構成に実現性およびコスト面の問題が残る。理由を以降に説明する。

#### 【0022】

ユーザが用いる実セットボードや評価段階で用いる評価ボードと、LSI検査に用いるロードボードは基板の層数や配線長などの仕様が全く異なり、通常別々に作成する。ボード作成にはそれぞれ異なった技術やノウハウを必要とする。従って、両者を組合せて1枚のボードにすることは、両者の技術とノウハウも組合せて作成する必要がある、高度な技術が必要とされる。ユーザとLSIベンダは別々の場合が多く、ユーザからのボード作成の技術供与は難しく、技術を組合せることは非常に困難である。さらに、ボードの基板層数が多くなると、ボード作成が技術的に難しくなりコストが飛躍的に上がる。通常のロードボードは多層基板で実現されるが、実施の形態1で用いたロードボードはそれ以上に多層な基板となりコストが非常に大きくなる。

#### 【0023】

実施の形態2では、実施の形態1からさらに、ロードボードの実現性向上とロードボードのコストを削減できる検査装置を示す。

#### 【0024】

図4に本発明のLSI検査装置の他の構成を示す。図1に示すロードボード103に対し、ロードボード401は検査対象LSI101、外部メモリ104、周辺LSI105、クロック発生器106～108から構成される第1ボード402と、LSIテスト102とインターフェースをとる第2ボード403とを分離し、そのボード間をLSIテスト102に接続する必要がある信号線間を配線した構成となっている。図4中の404、405は第1ボード402と第2ボード403を接続する配線、405から408は第1ボード402を支える支柱である。

#### 【0025】

例えば、第1ボード402を実際のセットで使用するボードと全く同じものを使い、第2ボード403をテストメーカーが一般的に広く売っているテストチャンネルとボード間が配線済みの汎用ロードボードを使い、そのボード間をLSIテスト102に接続する必要がある信号線間を配線してロードボードを構成する場合は

、本実施の形態にあてはまる。検査時のデータフロー及び、検査フローは実施の形態 1 と全く同じである。

#### 【 0 0 2 6 】

本構成にすることにより、検査対象 LSI 1 0 1 と周辺回路を備えた第 1 ボード 4 0 2 を独立して作成およびデバッグすることができる。したがって、第 1 ボードと第 2 ボードそれぞれの作成技術を組合せる必要がなくなり、ロードボードの実現性が非常に高くなる。通常、評価済みの第 1 ボードをリピート作成し若干の修正を行い、第 2 ボードはテストメーカーが販売している汎用ロードボードを購入し、この 2 つのボード間を配線すればよい。多層基板で作成されるロードボード 4 0 1 に対し、第 1 ボード 4 0 2 は通常少ない層数で作成できるため、ボード作成コスト上昇を抑えることもできる。さらに実際のセットで使用するボードと全く同じ構成にし、共用すれば、ボード作成費が削減できる。また、LSI テスタ 1 0 2 を用いなくても、実際のセット評価システムがあれば、それを利用してデバッグできるため、LSI テスタを用いてのボードデバッグをほぼ不要とすることができる。

#### 【 0 0 2 7 】

##### (実施の形態 3)

実施の形態 3 では、実施の形態 1 からさらに、LSI テスタと検査対象 LSI の同期を取り易くしかつ低速でインターフェースさせることにより、テストコスト削減を図る検査手法を示す。

#### 【 0 0 2 8 】

本実施の形態でのロードボード構成は図 1 に示すロードボード 1 0 3 でも、図 4 に示すロードボード 4 0 1 でも適用できる。ここでは検査時のデータフローと検査フローチャートのみが異なる。

#### 【 0 0 2 9 】

本発明の LSI 検査手法での検査時のデータフローを、図 5 を使って説明する。まず LSI テスタ 1 0 2 から実線で示す試験信号 5 0 1 が検査対象 LSI 1 0 1 を介して外部メモリ 1 0 4 へ書き込まれ、破線 5 0 2 で示すフローで実動作と同等に検査対象 LSI 1 0 1、外部メモリ 1 0 4、周辺 LSI 1 0 5 で処理され、再び外部メモ

り 1 0 4 へ書き込まれる。その後試験結果信号 5 0 3 として検査対象 LSI 1 0 1 を介して LSI テスタ 1 0 2 に取り込まれ、期待値比較による良否判定が行われる。

#### 【 0 0 3 0 】

次に検査フローを、図 7 のフローチャートを使って説明する。まず検査対象 LSI 1 0 1、外部メモリ 1 0 4、周辺 LSI 1 0 5、クロック発生器 1 0 6 ~ 1 0 8 の電源を立ち上げる。すると、クロック発生器 1 0 6 ~ 1 0 8 からクロック A, B, C がそれぞれ検査対象 LSI 1 0 1 へ供給開始される。次にそれらのクロックとは非同期にリセットをかけ、検査対象 LSI 1 0 1 は実使用動作可能な状態となる。ここで、LSI テスタ 1 0 2 から検査対象 LSI 1 0 1 へテストモード設定を行う。このテストモードは、外部メモリ 1 0 4 から実使用動作テスト時のデータを入力し、実使用動作処理後のデータを再び外部メモリ 1 0 4 へ書き込むという実使用動作相当の動作モードである。このようなテストモードはあらかじめ LSI の仕様として設計しておく必要がある。テスト設定の後、LSI テスタ 1 0 2 から、検査対象 LSI 1 0 1 が持つ外部メモリ 1 0 4 への非同期アクセス機能を用いて、外部メモリ 1 0 4 へ試験信号 2 0 1 を書き込む。この場合、クロック A, B, C とは非同期にアクセスできるので、LSI テスタ 1 0 2 は実施の形態 1 のように同期を取る必要はなくなる。一般的に実動作での入出力よりも、低速で行うことができる。書き込みが終わり、非同期アクセス状態を解除すると、ロードボード 1 0 3 上で実使用動作と同等の動作が行われ、試験結果信号 5 0 3 が外部メモリ 1 0 4 へ書き込まれる。試験結果信号 5 0 3 を、検査対象 LSI 1 0 1 が持つ外部メモリ 1 0 4 への非同期アクセス機能を用いて、LSI テスタ 1 0 2 へ取り込む。最後に LSI テスタ 1 0 2 にて試験結果信号 5 0 3 と期待値とを比較し、検査対象 LSI 1 0 1 の良否判定を行う。

#### 【 0 0 3 1 】

これにより、LSI テスタ 1 0 2 と検査対象 LSI 1 0 1 の同期を取り易くしかつ低速でインターフェースさせることができる。したがって、使用する LSI テスタは同期を取る機能が不要で、より低速テストがよくなるので、テストコストを削減できる。

【 0 0 3 2 】

なお、本実施の形態ではLSIテスト102とのインターフェースを、外部メモリ104を用いて行ったが、検査対象LSI101や周辺LSI105に内蔵されたメモリを用いることも考えられる。

【 0 0 3 3 】

(実施の形態4)

実施の形態4では、実施の形態3に用いる試験信号と試験結果信号を、実際のセット評価装置を用いて生成するシステムを構築することにより、試験信号と試験結果信号の生成時間を短縮すると共に、LSIテスト上でのデバッグをほぼ不要とする検査手法を示す。

【 0 0 3 4 】

LSIテスト用の試験信号および試験結果信号は、通常シミュレーションによって生成する。本発明のLSI検査装置および検査手段による検査での試験信号および試験結果信号を、シミュレーションで生成すると扱うデータ量が膨大となるため、かなりの時間とマシンパワーが必要となる。

【 0 0 3 5 】

図8に実際のセット評価装置を用いたLSIテスト用試験信号および試験結果信号生成システム構成を示す。実セット評価装置用ボード703は、実施の形態2で説明した第1ボード407に、試験信号発生器702、試験結果をモニタするモニタ704及びパソコン705のインターフェースを付加している。電源は電源706から供給している。

【 0 0 3 6 】

試験信号および試験結果信号生成のデータフローは、実施の形態3から、試験信号の供給ソースが試験信号発生器702に、試験結果信号の取り込み先がモニタ704またはパソコン705に変わっているのみで、その他は同じである。

【 0 0 3 7 】

次に試験信号および試験結果信号生成フローを説明する。まず電源およびリセットを入れた後、定められた量の試験信号を試験信号発生器702から供給し、試験結果信号をモニタ704で正しいかどうか感応検査する。正しいと判断され

たら、次に試験信号をパソコンに取り出すステップに移る。再びリセットを入れ、パソコンから検査対象LSI101を制御し、同じ試験信号を外部メモリ104へ書き込ませる。そこで、検査対象LSI101が持つ外部メモリ104への非同期アクセス機能を用いて、試験信号をパソコン705へ取り込む。さらに試験結果信号をパソコンに取り出すステップに移る。再びリセットを入れ、同じ試験信号を試験信号発生器702から供給し、パソコンから検査対象LSI101を制御し、試験結果信号を外部メモリ104へ書き込ませる。そこで検査対象LSI101が持つ外部メモリ104への非同期アクセス機能を用いて、試験結果信号をパソコン705へ取り込む。

## 【0038】

こうして得られた試験信号および試験結果信号を基に、リセットパターン、テスト設定パターンおよび検査対象LSI101を介した外部メモリ104への非同期アクセスパターンを付加して、LSIテスト102用の試験信号および試験結果信号を生成する。

## 【0039】

これにより、LSI用試験信号と試験結果信号の生成時間は数十分程度となり、シミュレーションでの生成時間と比べ、大幅に短縮することができる。さらにLSI検査時と同等の環境下で試験結果信号を生成するので、LSIテスト上でのデバッグをほぼ不要とすることができる。

## 【0040】

なお第1ボード407にこのインターフェースを付加しただけであるので、実セット評価装置用ボード703を第1ボード407に置き換えて、実施の形態2のロードボード401と等価なロードボードを形成することができる。すなわち、実セット評価装置用ボードを流用してロードボードを作成することができ、実施の形態2で述べたようにロードボード設計費を削減できる。

## 【0041】

本実施の形態は実施の形態3に用いる試験信号と試験結果信号を生成する例を示しているが、試験信号と試験結果信号内容は実施の形態1や2で用いる信号内容と同じである。したがって、LSIテスト用試験信号と試験結果信号に変換する



際の付加パターンを変えれば、実施の形態 1 や 2 で用いる試験信号と試験結果信号を生成することが可能となる。

【 0 0 4 2 】

【発明の効果】

本発明のLSI検査装置及び手法によれば、一般的なLSIテストと、検査対象LSIにユーザが実際に使用する実セット上での動作と同等の動作を可能とさせる周辺回路のみで、非同期・多クロック・高速システムLSIの実動作テストを実現できる。したがって低検査コストで検査品質の大幅な向上が実現できる。

【 0 0 4 3 】

また、検査対象LSIと周辺回路を備えたボードを独立させ、LSIテストの入出力チャンネルとインターフェースをとるボードと別にする事で、ボード作成を容易にかつボードコスト上昇を抑え、さらにLSIテスト上でのボードデバッグをほぼ不要にすることができる。

【図面の簡単な説明】

【図 1】

本発明のLSI検査装置の構成を示す図

【図 2】

本発明のLSI検査装置での検査時のデータフロー図

【図 3】

本発明のLSI検査装置での検査フローチャート

【図 4】

本発明のLSI検査装置の他の構成を示す図

【図 5】

本発明のLSI検査手法での検査時のデータフロー図

【図 6】

本発明のLSI検査手法での試験結果取り込み回路構成を示す図

【図 7】

本発明のLSI検査手法での検査フローチャート

【図 8】

本発明のLSI検査手法の試験信号および試験結果信号生成システム構成を示す

図

【図 9】

従来のLSI検査手法での構成を示す図

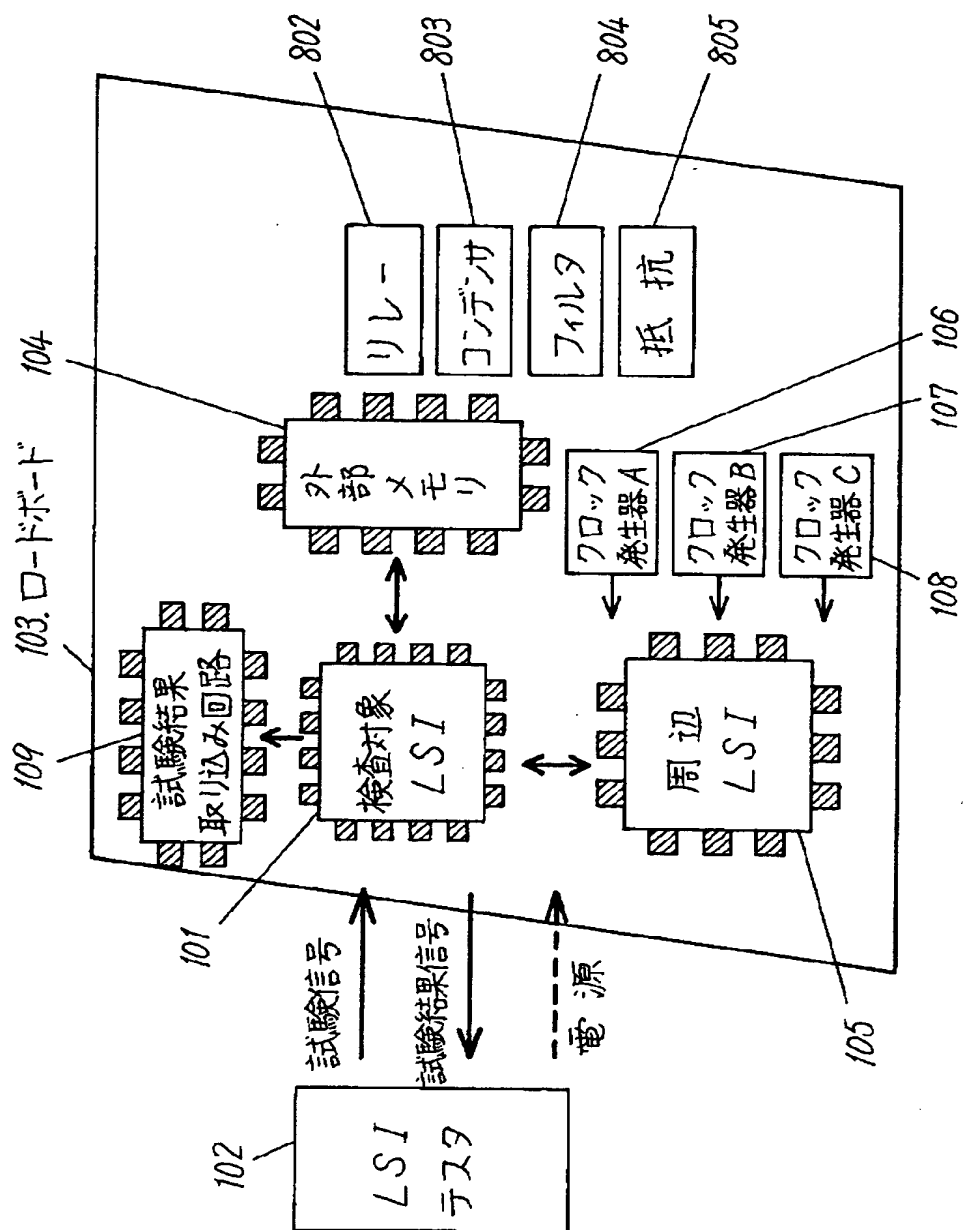
【符号の説明】

- 1 0 1 検査対象LSI
- 1 0 2 LSIテスタ
- 1 0 3 ロードボード
- 1 0 4 外部メモリ
- 1 0 5 周辺LSI
- 1 0 6 クロック発生器A
- 1 0 7 クロック発生器B
- 1 0 8 クロック発生器C
- 1 0 9 試験結果取り込み回路
- 8 0 2 リレー
- 8 0 3 コンデンサ
- 8 0 4 フィルタ
- 8 0 5 抵抗

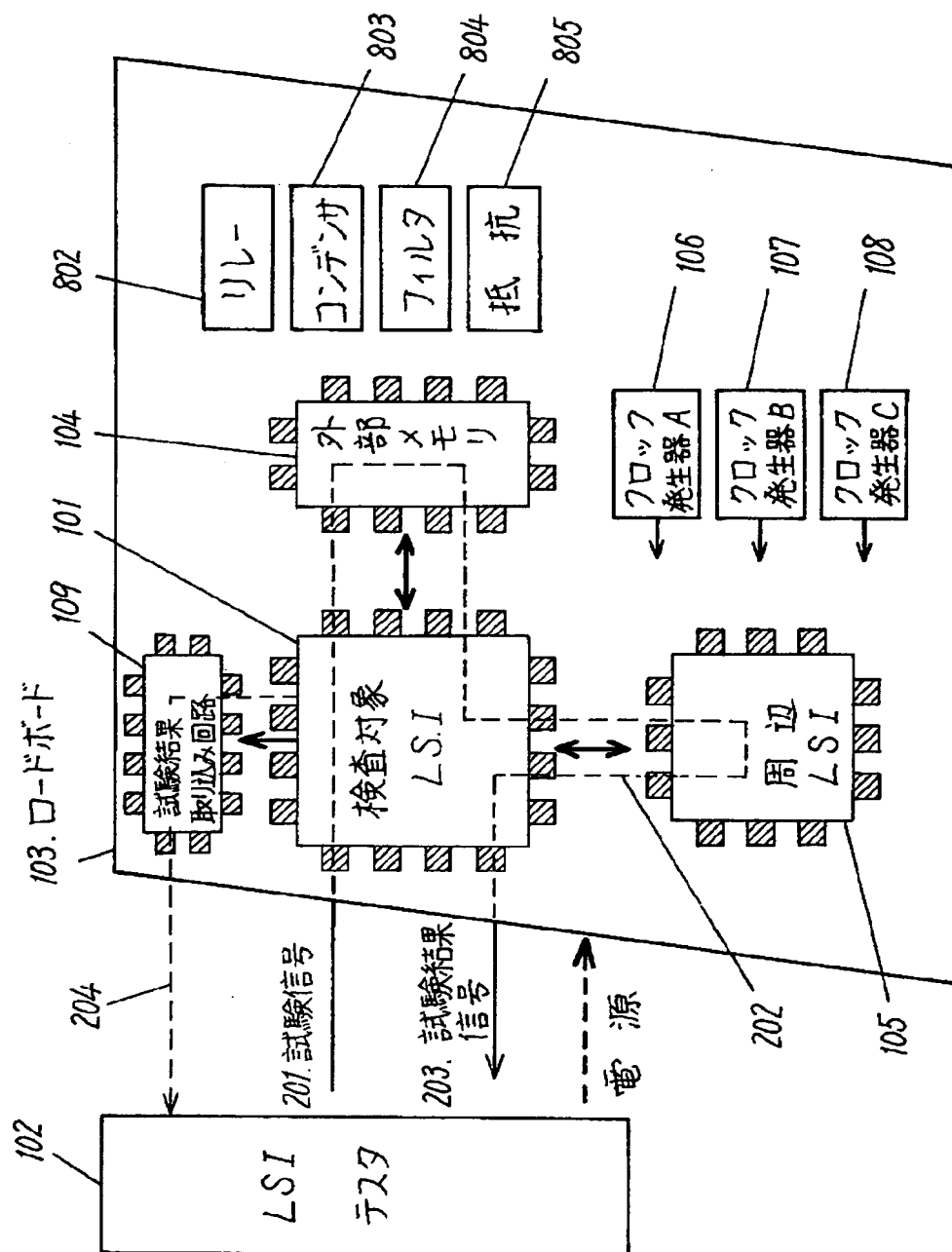
【書類名】

図面

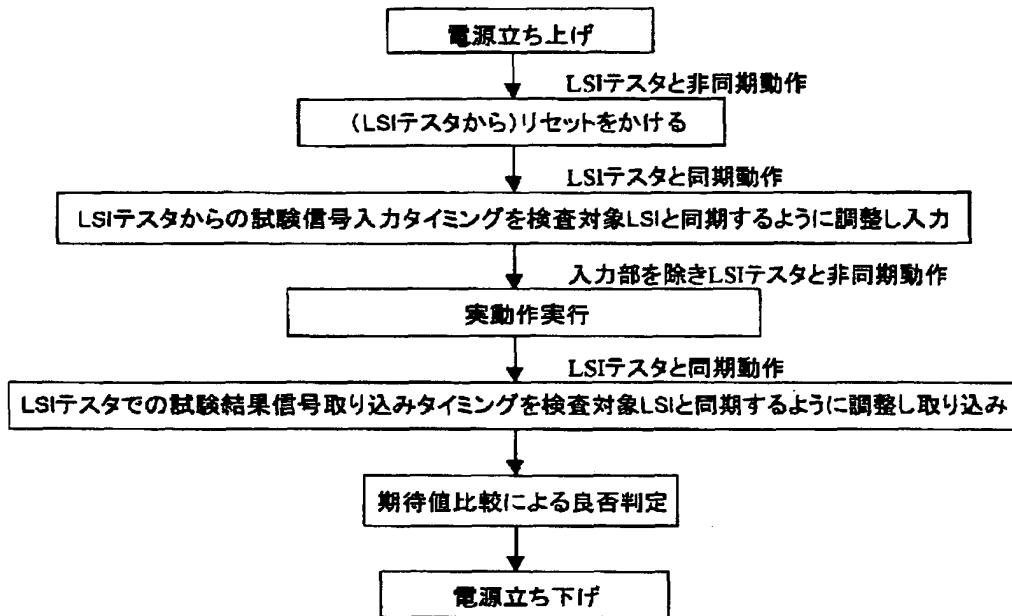
【図 1】



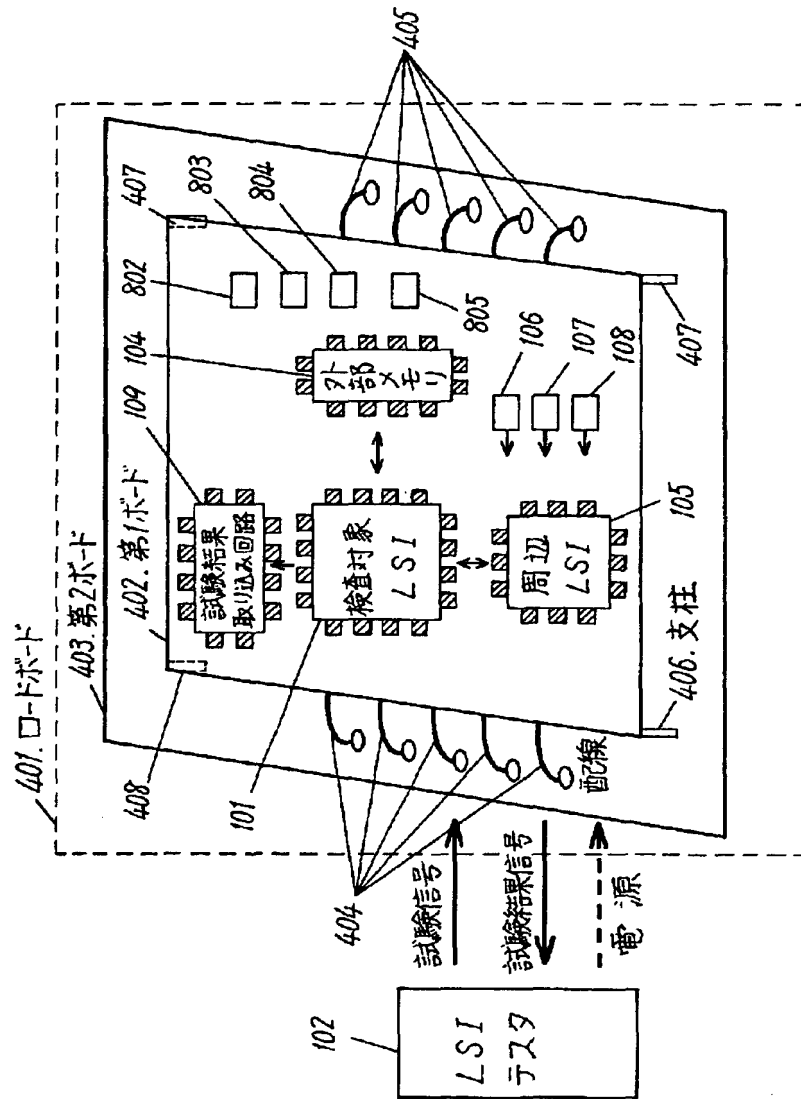
【図 2】



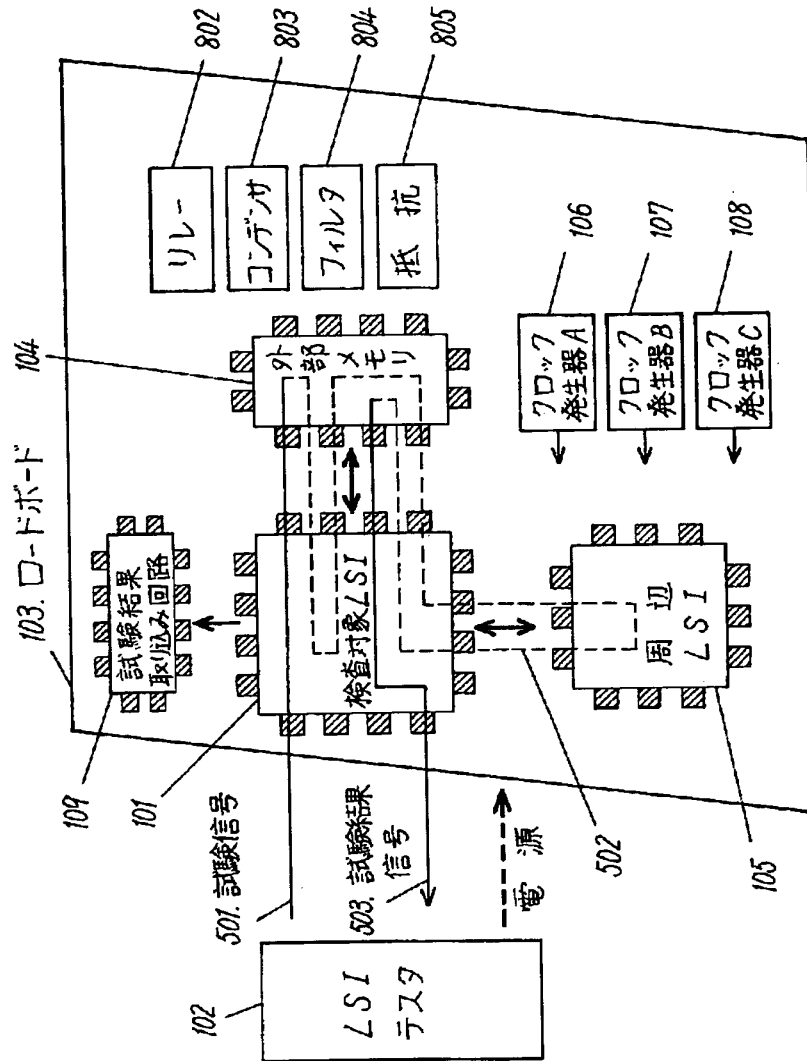
【図 3】



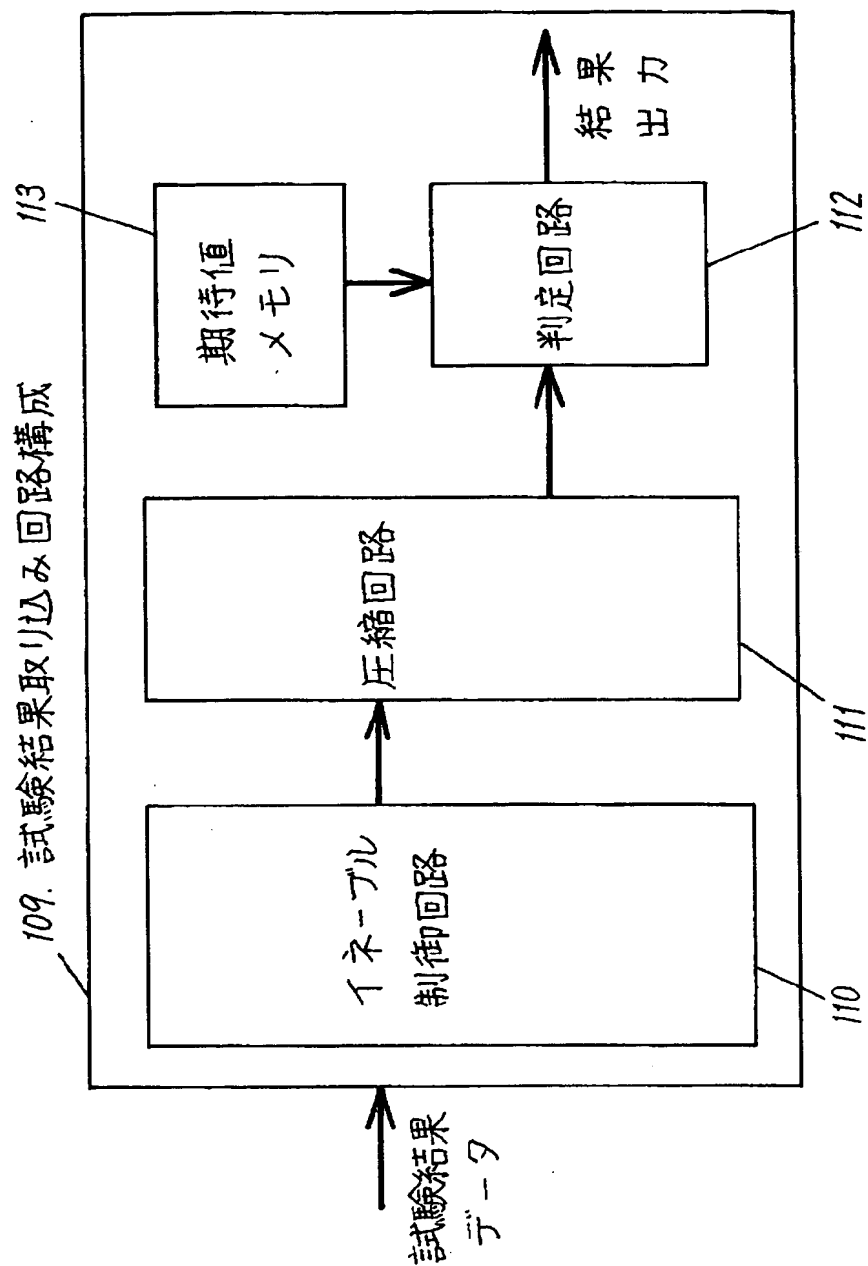
【図4】



【図5】

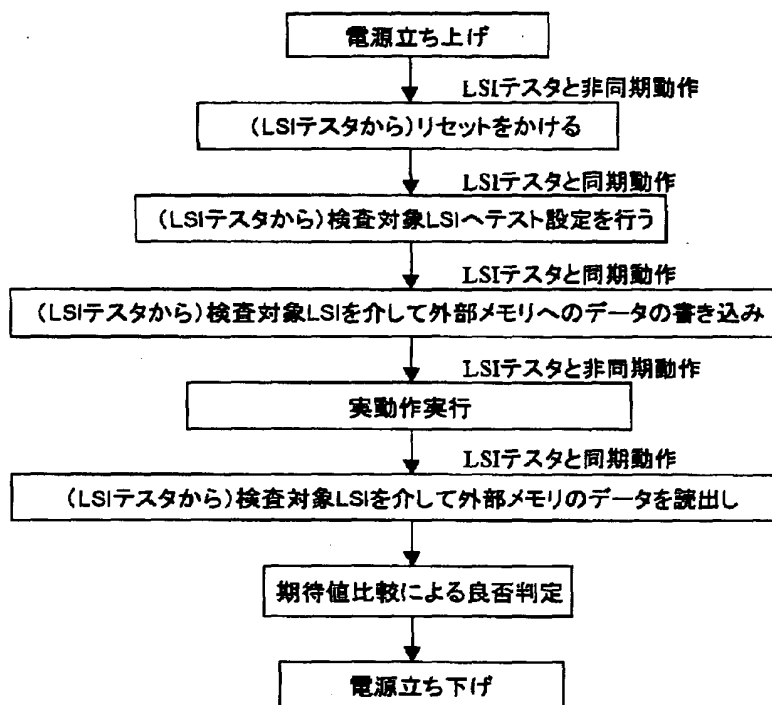


【図 6】

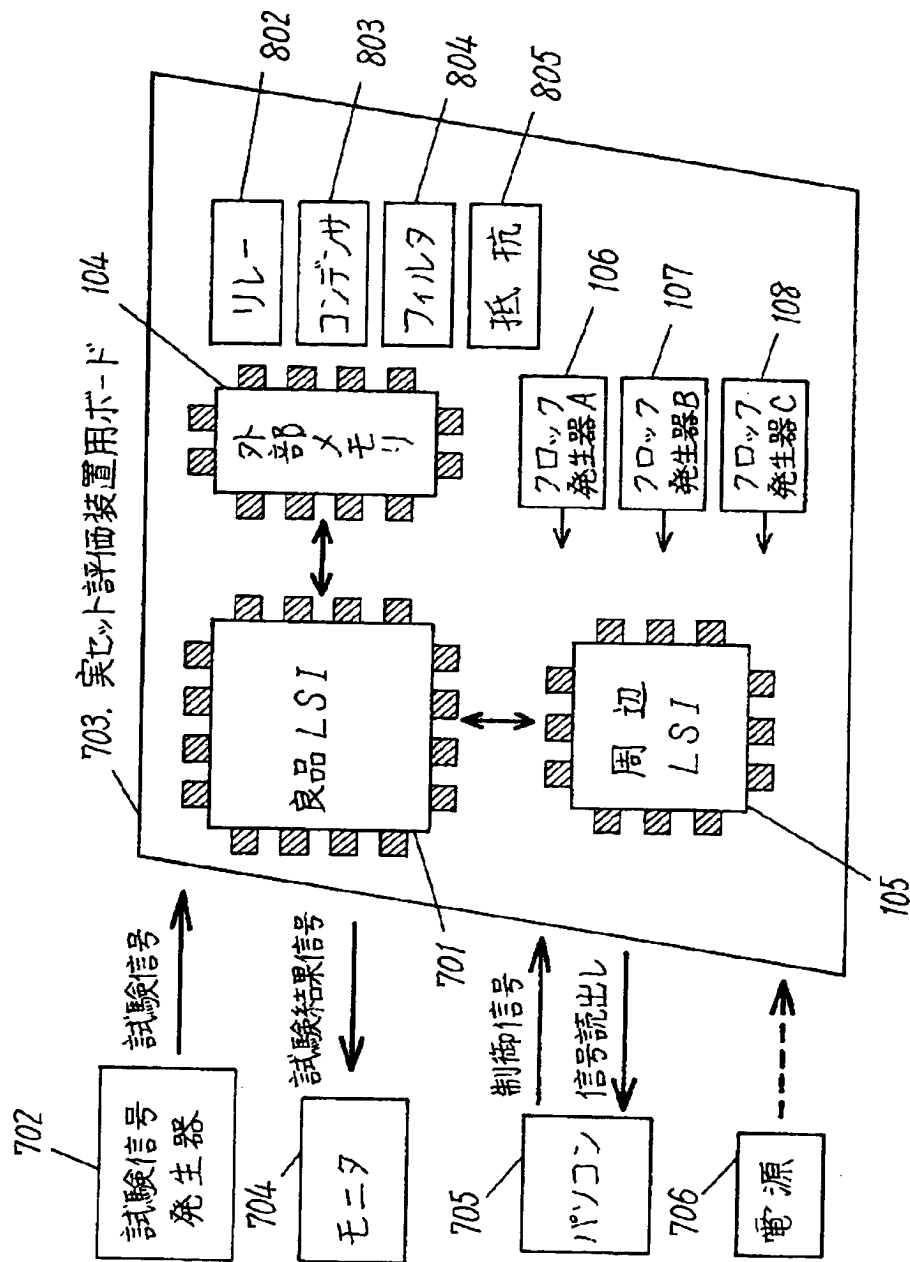




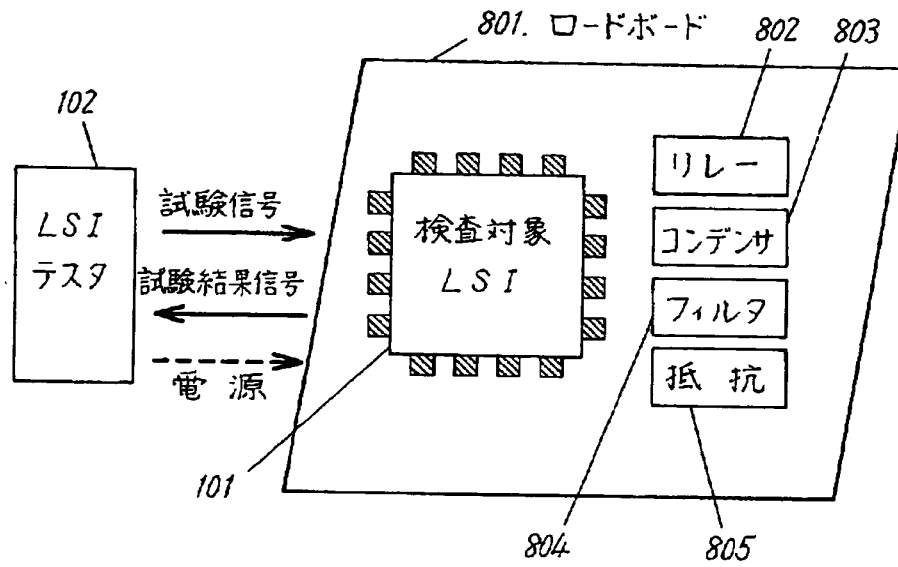
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 一般的なLSIテストを用いて、非同期・多クロック・高速システムLSIの実使用動作のテスト実現は困難であった。そのためテスト品質が低下する。

【解決手段】 LSIテスト102と検査対象LSI101とのインターフェースをとるロードボード103上に、検査対象LSI101にユーザが実際に使用する実セット上での動作と同等の動作を可能とさせる外部メモリ104や周辺LSI105、といった周辺回路を備えて実動作機能テストを行う。そして、出力結果を試験結果取り込み回路109に取り込み結果判定を行う。これにより、検査対象LSI101は試験信号としてテストデータと同期信号やリセット信号等の簡単な制御信号のみで実動作が可能となり、一般的な安価LSIテストで実動作試験が可能となる。したがって検査コスト上昇を抑えて、検査品質を向上させることができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社